

**PCT**  
 WELTORGANISATION FÜR GEISTIGES EIGENTUM  
 Internationales Büro  
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



(51) Internationale Patentklassifikation 6 : <b>H01L 21/8242, 27/092, 21/8238</b>	<b>A1</b>	(11) Internationale Veröffentlichungsnummer: <b>WO 99/33104</b> (43) Internationales Veröffentlichungsdatum: <b>1. Juli 1999 (01.07.99)</b>
(21) Internationales Aktenzeichen: <b>PCT/DE98/02853</b> (22) Internationales Anmeldedatum: <b>24. September 1998 (24.09.98)</b> (30) Prioritätsdaten: <b>297 22 440.9      18. Dezember 1997 (18.12.97)    DE</b> (71) Anmelder (für alle Bestimmungsstaaten ausser US): <b>SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</b> (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): <b>KIESLICH, Albrecht [DE/DE]; Lessingstrasse 7, D-01445 Radebeul (DE). ECKSTEIN, Elke [DE/DE]; Radeberger Strasse 16, D-01099 Dresden (DE).</b> (74) Gemeinsamer Vertreter: <b>SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).</b>	(81) Bestimmungsstaaten: <b>JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</b> Veröffentlicht <i>Mit internationalem Recherchenbericht.</i>	
(54) Title: <b>SEMICONDUCTOR MEMORY, METHOD FOR PRODUCING SAID SEMICONDUCTOR MEMORY, AND IMPLANTATION MASK</b> (54) Bezeichnung: <b>HALBLEITERSPEICHER, HERSTELLVERFAHREN FÜR DEN HALBLEITERSPEICHER UND IMPLANTATIONSMASKE</b> (57) Abstract <div style="display: flex; justify-content: space-between;"> <div style="width: 30%;"> <p>According to the invention, the transistors of a semiconductor memory are connected to terminals in the cell field and on the periphery without using silicide. In order to obtain a sufficiently low resistance, an implantation into the S/D areas is carried out using an additional mask (Z). Said mask covers areas of the cells which are sensitive to damage in the area surrounding the cell node whilst leaving the other doped areas of the respective conductivity type free. In order to prevent implantation-related lattice distortions in the area of the memory electrode, the first doped area (6) of the designated selection transistor, which is connected to the electrode, is more weakly doped than the second doped area (7) of the selection transistor which is connected to the bit line.</p> </div> <div style="width: 40%; text-align: center;"> </div> <div style="width: 30%;"> <p>(57) Zusammenfassung            Bei der Halbleiterspeicheranordnung werden die Transistoren im Zellenfeld und in der Peripherie silizidfür mit Anschlüssen verbunden. Ein ausreichend niedriger Widerstand wird dadurch erreicht, daß eine Implantation in die S/D-Gebiete mit einer Zusatzmaske (Z) durchgeführt wird, die schadigungsempfindliche Bereiche der Zelle in der Umgebung des Zellknotens abdeckt und die übrigen dotierten Gebiete des entsprechenden Leitfähigkeitstyps offenläßt. Implantationsbedingte Gitterstörungen im Bereich der Speicherelektrode werden dadurch vermieden, daß das mit der Elektrode verbundene erste dotierte Gebiet (6) des zugehörigen Auswahltransistors schwächer dotiert wird als das zweite dotierte Gebiet (7) des Auswahltransistors, das mit der Bitleitung verbunden wird.</p> </div> </div>		